**Circuite cu reactie pozitiva**

**Circuite basculante**:

Circuite caracterizate prin existenţa unor stări bine determinate, între care au loc tranziţii rapide, numite procese de basculare (= modificarea rapidă a unor curenţi sau tensiuni, procesul rapid implicând existenţa unor bucle de reacţie pozitivă sau a unor rezistenţe negative. Declanşarea basculării se poate face din exterior, prin intermediul unor semnale de comandă, sau din interior, prin acumularea lentă şi atingerea unui stadiu critic de către anumite mărimi electrice din circuit).

O **stare stabilă** este o stare în care circuitul poate rămâne o perioadă de timp nelimitată în lipsa unui semnal de comandă.

Intr-o **stare instabilă** circuitul rămâne un timp limitat, după care basculează în cealaltă stare, fără a interveni vreun semnal de comandă de basculare extern.

Circuitele basculante se pot grupa, după numărul stărilor stabile, în:

- **circuite basculante bistabile**, pentru care ambele stări sunt stabile

- **circuite basculante monostabile**, prezentând o stare stabilă şi una instabilă

- **circuitele basculante astabile**, cu ambele stări instabile

**Circuite basculante bistabile**

Circuitele basculante bistabile se caracterizează prin existenţa a două stări stabile, în care pot rămâne un timp oricât de lung. Bascularea dintr-o stare în alta declansata cu ajutorul unor impulsuri de comanda.

Circuitele bistabile pot fi clasificate în **circuite simetrice** şi **circuite nesimetrice**.



**Circuite Basculante Bistabile Simetrice** **Cu Componente Discrete:**

A1 şi A2 sunt două amplificatoare legate în reacţie pozitivă, prin divizorul format de rezistenţele R şi r.

Proiectarea cu componente discrete:

Etajele amplificatoare formate din tranzistoarele T1 şi T2.

Cuplate între ele prin elementele de reacţie pozitivă constituite din divizoarele de tensiune R si r.

O parte din tensiunea colector-emitor a unui tranzistor este transmisa în baza celuilalt transistor.

**Functionarea circuitului:**

Daca are loc o creştere mică a curentului IC1,aceasta duce la micşorarea tensiunii UC1, care este transmisă prin divizorul R-r în baza tranzistorului T2. Scăderea tensiunii UB2 va fi amplificată şi inversată de tranzistor, astfel încât creşte tensiunea UC2, iar această creştere va fi transmisă în baza tranzistorului T1 prin divizorul R-r. Prin urmare IC1 creşte şi mai mult. In consecinta apare un proces de basculare, care se dezvoltă în avalanşă: curentul IC1 creşte şi curentul IC2 scade, pâna când T1 devine saturat, iar T2 blocat.

Starea este stabilă, deoarece bucla de reacţie pozitivă este întreruptă datorita starii de blocare a tranzistorului T2

Două stări stabile:

1. T1 - conductie (saturat), T2 - blocat

2. T1 - blocat, T2 - conductie (saturat)

Pentru ca CBB să funcţioneze aşa cum s-a arătat mai sus, elementele sale trebuie dimensionate astfel încât să fie satisfacute următoarele condiţii:

1). când T1 este blocat, T2 trebuie să fie saturat

2). când T1 este saturat, T2 trebuie să fie blocat

3). când T1 şi T2 se găsesc în stare activă, amplificarea pe bucla de reacţie pozitivă trebuie să fie supraunitară.

Condiţia 1) impune respectarea următoarelor inegalităţi:

UB1 ≤ 0

IB2 ≥ IBs

**Declanşarea Circuitelor Basculante Bistabile:**

Două metode fundamentale de declanşare a CBB:

a). declanşarea pe căi separate pentru fiecare tranzistor în parte (CBB de tip RS).

b). declanşarea pe o cale comună (CBB de tip T).

Polaritatea impulsurilor de declanşare poate fi atât pozitivă cât şi negativă.

Semnalul de declanşare nu are rolul propriu-zis de a determina el singur bascularea CBB, el are rolul de a iniţia un proces regenerativ prin care circuitul să comute singur.

Indiferent de tipul tranzistorului (pnp sau npn), declanşarea cu impulsuri care comandă blocarea tranzistorului conductor prezinta anumite avantaje:

- sensibilitatea CBB este mare

- energia impulsului necesară pentru a produce bascularea este mai mică

Un CBB realizat cu tranzistoare npn va bascula în condiţii optime dacă se aplică un impuls negativ pe baza tranzistorului saturat.

Pentru a comanda un CBB atât cu impulsuri, cât şi cu nivele de tensiune circuitele de declanşare conţin de obicei un circuit de diferenţiere RC.

Prin diferenţiere, apar atât vârfuri pozitive cât şi vârfuri negative, deci ar exista posibilitatea unei rebasculări nedorite.

Pentru a evita această situaţie, circuitele de diferenţiere sunt urmate de diode care împiedică trecerea vârfurilor cu polaritatea nedorită.

**Declanşarea pe căi separate pe bază:**

Circuitul în starea T1-saturat şi T2-blocat.

Dacă se aplică un impuls de declanşare la intrarea S de amplitudine EC, acesta va fi diferenţiat de circuitul de diferenţiere R2C2. Dioda D2 va împiedica trecerea vârfurilor pozitive şi va permite trecerea vârfurilor negative de tensiune, care vor bloca şi mai mult tranzistorul T2. Bascularea nu are loc în acest caz.

Dacă se aplică impulsul de declanşare la intrarea R, vârfurile negative de tensiune ce ajung în baza tranzistorului T1 vor determina blocarea lui, deci bascularea CBB.

Pentru ca în regim staţionar să fie blocate ambele diode, se recomandă polarizarea lor inversă cu o tensiune EP. Valoarea acestei tensiuni se alege cu ceva mai mare decât tensiunea bază-emitor a tranzistorului saturat.

**Declanşarea pe căi separate pe colector:**

Circuitul de declanşare este identic, semnalul de comanda este aplicat în colectoarele tranzistoarelor. Potenţialul EC este folosit ca şi tensiune pozitivă de polarizare pentru diode.

Declanşarea pe baze prezinta unele avantaje, pentru că permite obţinerea unor frecvenţe de basculare mai mari şi asigură o sensibilitate mai bună.

**Declanşarea pe o cale comună pe baze**:

Fie circuitul in starea:

T1-saturat si T2-blocat

Tensiunile in diferite puncte ale schemei au următoarele valori tipice (pentru tranzistoarele cu siliciu) :

UC1=+0,1V; UB1=+0,7V; UB2=-0,1V

Dioda D1 este conductoare, iar dioda D2 este blocată cu o tensiune inversă mare. Impulsul de declanşare T este diferenţiat de grupurile Rd1, C1 şi Rd2, C2. Impulsurile ascuţite pozitive rezultate prin diferenţiere vor fi tăiate de diodele D1 si D2.

Dintre cele două impulsuri negative rezultate prin diferenţiere, va putea trece numai cel care se aplică în catodul diodei conductoare D1, celălalt impuls nu va putea trece prin dioda blocată D2.

Impulsul de comanda va determina comutarea circuitului, deoarece un puls negativ ascutit este aplicat pe baza tranzistorului conductor.

**Declanşarea pe o cale comună pe colector:**

Fie circuitul in starea:

T1-saturat si T2-blocat

Tensiunile in diferite puncte

UC1=+0,1V; UC2≅+EC,

UA≅Ec

Dioda D1 este blocată cu o tensiune inversă aproximativ egală cu EC, în timp ce dioda D2 este blocată cu o tensiune inversă mică, egală cu căderea de tensiune pe rezistenţa RC.

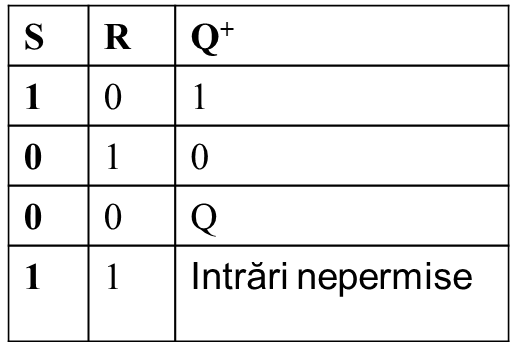
Impulsul de declanşare aplicat la intrarea T este diferenţiat de circuitul de diferenţiere RdCd. Vârfurile negative de tensiune, rezultate prin diferenţiere (datorită polarizării diodelor) pot ajunge numai pe colectorul tranzistorului blocat (saltul negativ de tensiune se transmite, în cazul de faţă, prin dioda D2 în colectorul tranzistorului blocat T2) determinand deschiderea acestuia.



**CBB de tip S-R asincron** :



CBB RS cu porţi SAU-NU CBB RS simetric cu porţi SAU-NU



**CBB de tip SR sincrone :**

Circuitele bistabile RS sincrone au două intrări de date R şi S, şi o intrare de tact, T.

Informaţia de la intrările de date R şi S poate fi transmisă spre bistabilul propriu-zis numai atunci cand impulsului de tact are valoarea logica ‘1’.

Bistabilul RS sincron are un semnal de ceas (intrarile R si S raman asincrone), care controleaza evolutia circuitului.

Deasemenea are alte doua intrari, Sd- si Rd-, care actioneaza direct asupra iesirilor Q si Q- suprascriind intrarile R si S.

**CBB RS master-slave:** menit a elimina neajunsurile legării în cascadă a mai multor CBB de tip RS (posibila nedeterminare a stărilor fiecărui CBB).

Primul CBB, numit CBB master este comandat de intrările de date R şi S, iar al doilea CBB din secvenţă se numeşte CBB slave şi este comandat de ieşirile CBB master.

Scurta descriere:

* pe frontul pozitiv al impulsului de ceas, CBB master este deconectat de CBB slave, deoarece acestea nu pot comunica; pe acest front, intrarile S si R actioneaza asupra CBB master, determinand bascularile corespunzatoare
* cand semnalul de ceas trece din ‘1’ in ’0’, pe frontul cazator, intrarile RS slave sunt conectate la master; iesirile master-ului comanda starea slave-ului

In acest fel, doar un singur CBB este activ la un anumit moment, iesirile master-slave-ului fiind complet izolate de intrari.

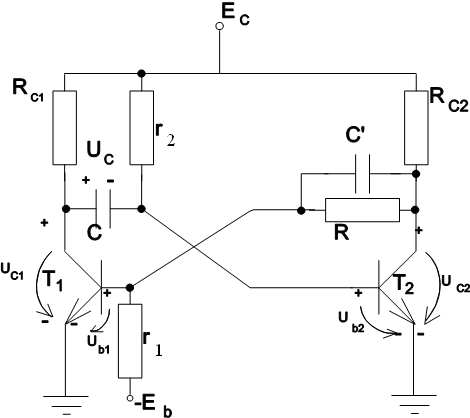
Folosind acest circuit, nedeterminarea logica pentru o secventa de CBB este evitata.

**Circuite basculante monostabile:**

Circuitele basculante monostabile, (CBM), prezinta o stare stabilă şi una instabilă; se folosesc mai ales pentru obţinerea unor intervale de timp fixe, marcate precis prin discontinuităţi (variaţii rapide) de tensiune.

Condiţia cea mai importantă pentru acest circuit este stabilitatea duratei stării instabile.

**CBM cu cuplaj colector – bază:**

Reacţia pozitivă este asigurată cu ajutorul circuitelor de cuplaj, dar la CBM cuplajul rezistiv dintre colectorul tranzistorului T1 şi baza tranzistorului T2 este înlocuit cu un cuplaj capacitiv.

Caracterul diferit al celor două stări ale circuitului se datorează acestei nesimetrii a cuplajelor.

Starea stabilă: tranzistorul T1 este blocat, pentru că baza lui este legată prin r1 la -EB, iar tranzistorul T2 este saturat, pentru că baza lui este legată prin r2 la EC. Căderea de potenţial pe capacitatea C, UC va fi pentru această stare stabilă de ≈EC.

Starea instabilă:

Prin aplicarea unui impuls negativ în baza tranzistorului T2, se iniţiază un proces de basculare, care poate fi descris astfel:

- tensiunea UB2 scade

- curentul de colector IC2 scade

* potenţialul în colectorul lui T2 ( UC2 ) creşte, ca si potenţialul UB1

- curentul de colector IC1 creşte

- potenţialul în colectorul lui T1, UC1, scade, ca si UB2

În felul acesta circuitul trece în starea opusă:

T1 este saturat şi T2 este blocat

Datorită scăderii rapide a tensiunii UC1 de la EC la aproximativ 0V, condensatorul C va transmite un salt negativ de tensiune, de amplitudine EC, la baza tranzistorului T2.

Dupa aceasta tranzitie: UC1(t1) ≈ 0,



UB2(t1) ≈ UC1(0) - EC ≈ -EC

În timpul stării instabile, condensatorul C se descarcă de la valoarea iniţială UC(0) ≈ EC, spre valoarea finală UC = -EC - IC0∙r2 si tensiunea UB2 creşte exponenţial spre valoarea: -UC. Tensiunea pozitiva deschide T2 si datorita reacţiei pozitive, circuitul rebasculează în starea stabilă.

Durata stării instabile, determinata de analiza condiţiei de blocare a tranzistorului T2 şi de saturare a tranzistorului T1.

Durata simplificata pentru starea instabila: Tsi ≈ τ∙ln2 = 0,69∙r2∙C

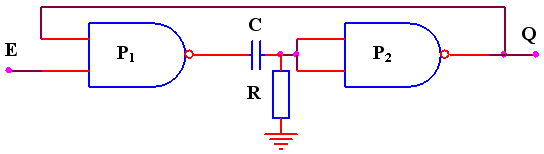
**Declanşarea CBM pe o cale pe colector:**

Circuit de comanda identic ca si in cazul circuitelor basculante bistabile, format din circuitul de diferentiere Rd Cd si dioda D1 .

**CBM realizate cu porţi TTL:**

Circuitul este realizat cu două porţi TTL de tip ŞI-NU si un circuit RC.

Comandat pe frontul negativ al semnalului de declanşare E.



La aplicarea semnalului E, la ieşirea primei porţi P1 va exista un salt pozitiv care se transmite prin capacitatea C la intrarea porţii P2, care iniţial este polarizată la starea stabilă, prin rezistenţa R, legată la masă. La venirea saltului pozitiv de tensiune pe intrarea portii P2 aceasta comută, saltul negativ de tensiune de la ieşirea sa transferându-se la intrarea porţii P1, care rămâne în starea ‘1’ logic; în timp, prin tranzistorul de ieşire al portii capacitatea C se va descărca de la VCC spre masă. Când la intrarea porţii P2 se atinge potenţialul de prag de comutare, poarta va comuta în ‘1’ logic, şi coroborat cu încetarea impulsului negativ de declanşare, va face ca poarta P1 să treacă în starea ‘0’ logic, starea stabilă a circuitului.

Durata aproximativă a stării instabile este:

**CBM realizate cu porţi CMOS:**

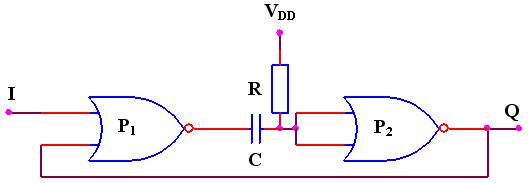
Circuitul este realizat cu două porţi CMOS de tip SAU-NU si un circuit RC

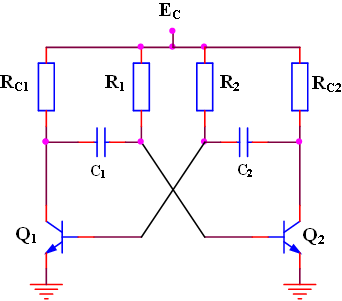
Comandat pe frontul pozitiv al semnalului de declanşare I

Starea stabilă a circuitului este cea în care ieşirea Q este la ‘0’ datorita rezistenţei R legate la VDD

Când la intrarea I se aplică un impuls pozitiv de declanşare, poarta P1 va prezenta la ieşire un salt negativ de tensiune, care, prin intermediul capacităţii C, va ajunge la intrarea lui P2 producând comutarea acesteia în ‘1’ logic. În continuare capacitatea C se va încărca de la VDD, iar când potenţialul pe bornele sale va ajunge la valoarea potenţialului de prag de basculare, poarta P2 va bascula în starea ‘0’, starea stabilă a circuitului.

Durata stării instabile se determină cu formula:





**Circuite basculante astabile (CBA)**:

**CBA cu componente discrete**

Existenţa a două stări instabile

Comutarea se execută într-un timp foarte scurt şi apare ca o variaţie bruscă a mărimilor electrice

**Bascularea** se declanşează fără semnale aplicate din exterior

Duratele starilor determinate de parametrii circuitului

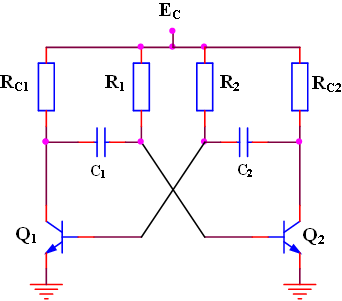
CBA este de fapt un oscilator care produce semnal dreptunghiular la ieşirea sa

Durata impulsurilor şi perioada de repetiţie sunt determinate de valorile unor elemente de circuit

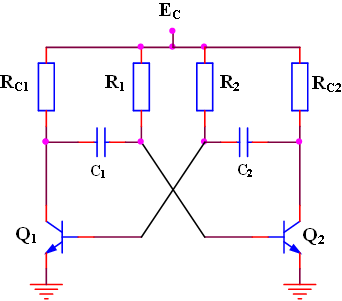
Faptul că rezistenţele R1 şi R2 sunt legate la sursa +EC, asigură ca CBA cu cuplaj

niciunul dintre tranzistoarele T1 şi T2, în regim staţionar, să nu colector - bază

rămână blocat pentru o perioada de timp nedefinita.

Fie starea în care tranzistorul T1 este blocat şi tranzistorul T2 conduce; aceasta implică ca potenţialul pe capacitatea C2 să fie în scădere, condensatorul descărcându-se prin circuitul EC, R2, C2 şi tranzistorul conductor T2. Pe măsura scăderii curentului de descărcare care trece prin R2, creşte potenţialul în baza tranzistorului T1, iar când potenţialul UB1 va depăşi tensiunea de prag de deschidere a tranzistorului T1, acesta devine conductor, iar potenţialul din colectorul său va începe să scadă.

Aceasta va duce la scăderea potenţialului bazei lui T2, ce va determina ieşirea sa din saturare. Bucla de reacţie pozitivă va impune un proces în avalanşă, ce va duce în final la blocarea tranzistorului T2, şi circuitul va trece astfel în a doua stare instabilă. Tranzistorul T1 fiind în conducţie, acum se va descărca capacitatea C1, prin circuitul EC, R1, C1 şi T1. Starea aceasta va dura până când tensiunea din baza lui T2 va depăşi valoarea de prag de deschidere şi tranzistorul T2 se va deschide, restabilindu-se bucla de reacţie pozitivă, ce va declanşa bascularea în cealaltă stare instabilă.

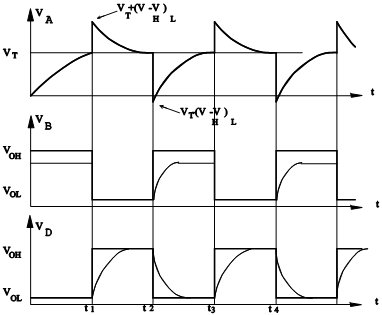
În prima stare, pe lângă descărcarea capacităţii C2, are loc încărcarea capacităţii C1, prin circuitul EC, RC1, C1 şi rezistenţa de intrare a tranzistorului conductor T2. Constanta de timp de încărcare este τ1i ≈ RC1∙C1. Pentru a doua stare, se va încărca capacitatea C2 prin lanţul EC, RC2, C2 şi tranzistorul saturat T1, cu o constantă de timp τ2i ≈ RC2∙C2

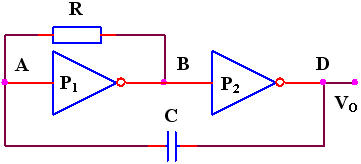
Duratele celor două perioade instabile se determină după formulele:

Tsi1 ≈ 0,69∙R1∙C1

Tsi2 ≈ 0,69∙R2∙C2

Pentru un CBA simetric, pentru care R1 = R2 = R, iar C1 = C2 = C, se va genera un semnal rectangular (o tensiune rectangulară) în colectoarele tranzistoarelor, având o perioadă T ≈ 1,4∙RC şi cu un factor de umplere 1/2.

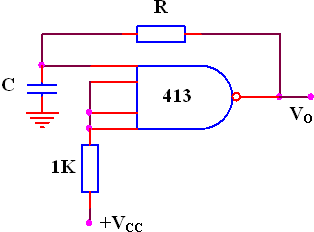
**CBA realizate cu circuite TTL:**



Funcţionare: dacă la momentul t<t1 la intrarea porţii P1 (punctul A) avem semnal logic ‘0’, la ieşire (punctul B) vom avea ‘1’ logic, iar la ieşirea porţii P2 vom avea ‘0’ logic. Asadar, potenţialul punctului A tinde să crească spre VH, condensatorul C încărcându-se prin rezistenţa R de la tensiunea din punctul B. La momentul t=t1 când VA=VT, (potentialul de prag al P1), ieşirea porţii P1 comută din ‘1’ în ‘0’, ceea ce determină comutarea ieşirii porţii P2. Saltul de tensiune din D de la VL la VH se transmite prin capacitatea C în punctul A.

Tensiunea din punctul A scade exponenţial spre valoarea tensiunii VL de la ieşirea porţii P1, pe măsură ce are loc descărcarea capacităţii C prin R spre potentialul scazut al punctului B. La momentul t=t2, VA=VT ceea ce determină din nou comutarea celor două porţi. Saltul de tensiune din punctul D se transmite prin capacitatea C în A. În continuare capacitatea se va încărca prin rezistenţa R, iar potentialul din A va creşte...

Fenomenul continuă atât timp cât circuitul este sub tensiune.

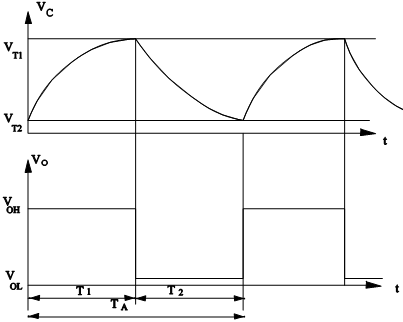


**CBA realizat cu trigger Schmitt :**

Condensatorul C se încarcă şi se descarcă prin rezistenţa R, tinzând spre nivelele tensiunii de ieşire, dar la atingerea pragurilor de basculare VT1 şi VT2 circuitul comută dintr-o stare în alta.

Duratele stărilor sunt:







Pentru circuitul integrat 413:

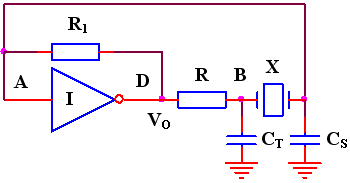
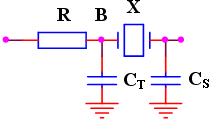
T1 ≈ 0,86∙RC

T2 ≈ 0,83∙RC

**CBA realizate cu cristale de cuarţ şi porţi logice:**

Cuarţul este tăiat după anumite direcţii cristalografice, este slefuit şi i se depun electrozi metalici pe două feţe paralele. Din punct de vedere electric cristalul oferă o impedanţă cu proprietăţi de circuit rezonant.

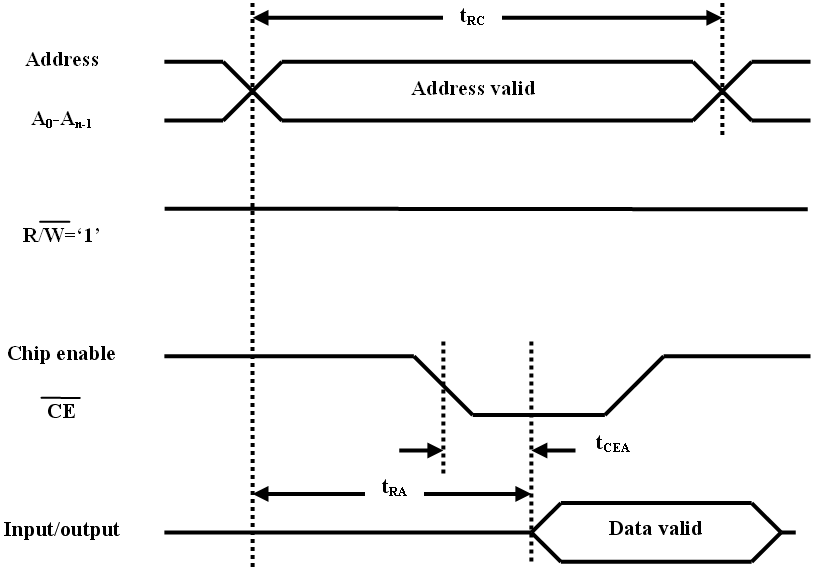
Oscilatoarele cu cuarţ realizate cu circuite CMOS asigură avantajul consumului de putere redus şi a stabilităţii frecvenţei pe o gamă largă a tensiunii de alimentare.



Oscilatorul fundamental conţine un amplificator şi o reţea de reacţie. Circuitul prezentat în figura, denumit şi reţea π cu cuarţ, este indicat a fi utilizat împreună cu un amplificator, care asigură un defazaj de 180˚

**Memorii semiconductoare**

* Circuitele de memorie se bazează pe celula de memorare definită ca un dispozitiv care înmagazinează (memorează) un bit de informaţie.
* O aranjare logică a celulelor de memorare, de obicei sub forma unei matrici bidimensionale, duce la conceptul de circuit de memorie.
* Circuitele de memorie sunt realizate sub forma circuitelor integrate cuprinzand:
  + matricea de celule de memorare
  + decodificatoare pentru adresarea fiecărei celule
  + circuite amplificatoare pentru liniile de informaţie citită sau înscrisă în fiecare celulă
  + circuite pentru controlul operaţiilor efectuate asupra celulelor de memorare
* Se împart în două mari categorii:
  + Volatile, care mentin informatia doar atat timp cat sunt alimentate
    - memorii cu citire-scriere (RAM *Random-Access Memory*), permit operaţiile de citire/scriere asupra oricărei celule de memorie, accesate similar, indiferent de poziţia sa în matrice; pot fi clasificate in:
      * statice (SRAM Static Random Access Memory)
      * dinamice (DRAM Dynamic Random Access Memory )
    - adresabile prin continut (CAM Content-Addressable Memory)
  + Nevolatile, care mentin informatia si dupa oprirea alimentarii
    - memorii doar cu citire (ROM *Read-Only Memory*), al căror conţinut nu poate fi modificat printr-un proces uzual de citire/scriere; clasificate astfel:
      * permanente (ROM *Read-Only Memory*)
      * programabile (PROM Programmable Read-Only Memory)
      * reprogramabile (REPROM REProgrammable Read-Only Memory)
        + ştergere pe bază de raze X (UVEPROM Ultraviolet Erasable Programmable Read-Only Memory)
        + ştergere electrică (EEPROM Electrically Erasable Programmable Read-Only Memory)

**Memorii cu acces aleator (RAM):**

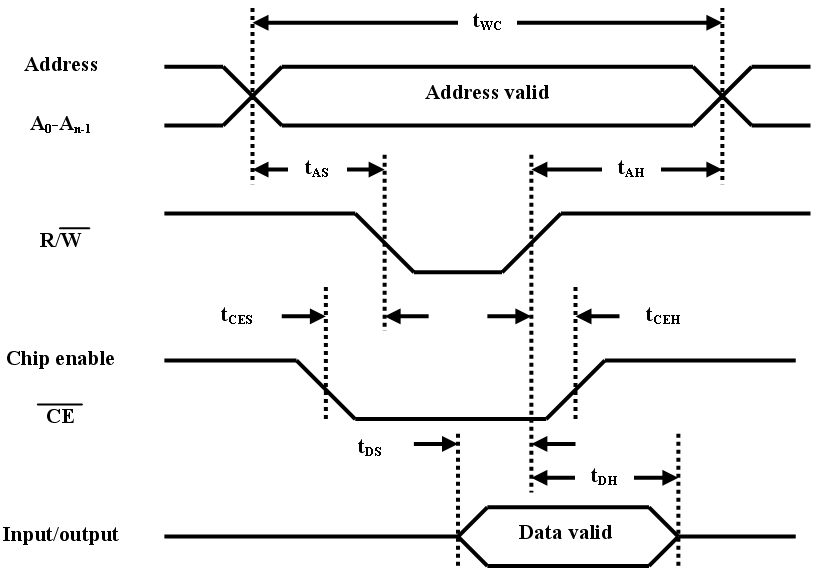
Ciclul de **citire:**

Informaţia de adresare trebuie să fie prima stabilită, deci liniile de adrese sunt primele activate  
 Informaţia de adresare trebuie să fie validă un timp **tRC** (timp al ciclului de citire)

După un timp relativ scurt de la stabilizarea liniilor de adrese, trebuie activat semnalul de permisiune (de selecţie a circuitului) CE-

La un timp notat **tCEA** de la activarea circuitului, datele citite sunt disponibile la pinii de date ai circuitului.

Un parametru mai sugestiv este **tRA**, timpul de acces la citire, care dă intervalul de timp necesar de la stabilirea adresei până la obţinerea datelor pe liniile de date.

Ciclul de **scriere :**

Liniile de adrese sunt primele valide şi trebuiesc menţinute corect un interval **tWC** asociat ciclului de scriere.

După generarea semnalului de activare circuit CE-, la un timp **tCES**, se generează semnalul R/W- de comandă a scrierii; acesta este întârziat faţă de activarea adreselor, cu timpul de set-up **tAS**, timp necesar setării corecte a liniilor de adrese.

Tot o valoare de set-up, **tDS**, caracterizează diferenţa dintre începutul setării datelor pe liniile de date şi dezactivarea semnalului de scriere.

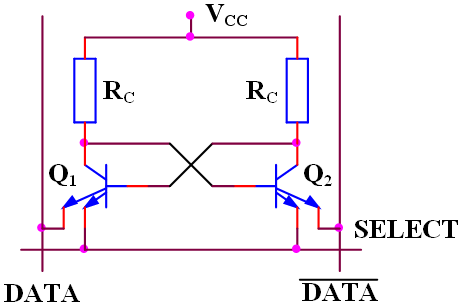
Depinzând de viteza circuitului şi fiind tipice pentru diverse tehnologii (în catalog specificate prin valori de minim), sunt:

Valoarea necesară menţinerii datelor de înscris în memorie, pentru a fi siguri de înscrierea corectă, dată de timpul de reţinere a datelor (*hold-up*) notat **tDH**

Timpul de reţinere al semnalului de permisiune CE- după dezactivarea semnalului de scriere, notat **tCEH**

Timpul de reţinere al adreselor **tAH**, calculat tot de la dezactivarea semnalului de scriere.

* Pentru circuitele DRAM semnalul de selecţie circuit CE (*Chip Enable*) este înlocuit de două semnale de permisiune pentru accesul la liniile matricii de celule (semnalul **RAS** - *Row Access Strobe*) şi respectiv la coloanele matricii (semnalul **CAS** - *Coloumn Access Strobe*), semnale ce sunt folosite si pentru logica de reîmprospătare a informaţiei
* Circuitele DRAM necesită un ciclu suplimentar de reîmprospătare
* Avantajul circuitelor DRAM este capacitatea mare de integrare in detrimentul timpului de acces marit. Circuitele SRAM prezinta un timp de acces mic insa capacitatea de integrare este redusa.
* Un modul tipic de memorie, întâlnit în orice sistem numeric, este organizat ca un tablou de circuite LSI, pentru a se obţine capacitatea dorită de memorare (exprimată în numar de biţi, număr calculat ca numărul de cuvinte de memorie înmulţit cu numărul de biţi ai unui cuvânt de memorie; se foloseşte tradiţional exprimarea capacităţii de memorare şi în număr de octeţi). Celulele de memorie conectate la aceeaşi linie de selecţie de adresă constituie un cuvânt de memorie. Lungimea cuvântului de memorie variază, dar de obicei este multiplu de octet (*byte*). Pe lânga adresare, este nevoie de scrierea/citirea informaţiei în/din memorie. Aceste trei elemente: celula de memorie, adresarea şi citirea/scrierea, determină configuraţia celulei de memorie.

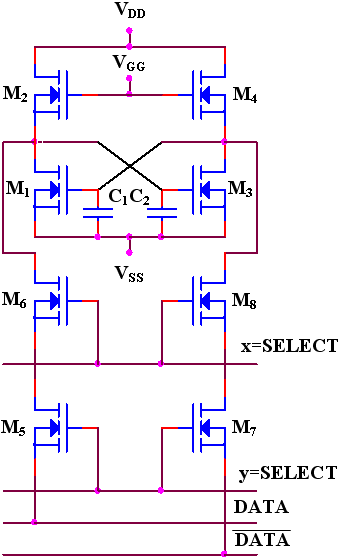
**Celula de memorie SRAM bipolară:**  
 Bistabil format cu tranzistoare cu dublu emitor. Unul dintre emitoarele fiecărui tranzistor este legat la una dintre liniile complementare de date Data sau ¬Data, iar celălalt emitor al fiecărui tranzistor este conectat la linia comună de selecţie (SELECT) a cuvântului de memorie.

Celula este citită prin emiterea de semnal ridicat pe intrarea SELECT, care permite transmiterea curentului prin emitor la linia respectivă DATA sau ¬DATA, după care tranzistor conduce, curent care este sesizat de un amplificator.

Scrierea este realizată prin emiterea unui semnal ridicat pe linia SELECT şi forţarea unei linii de date (DATA sau ¬DATA) la nivel coborât, pentru a forţa intrarea în conducţie a tranzistorului conectat la linia respectiva.

Când o celulă nu este selectată, linia SELECT este la nivel coborât şi absoarbe curentul celulei de memorie. În aceste condiţii liniile DATA şi ¬DATA nu prezintă scurgere de curent şi astfel amplificatoarele nu sesizează nici un semnal. Similar, când starea binară a liniilor DATA şi ¬DATA este schimbată şi linia SELECT nu este schimbată la nivel ridicat, informaţia în celula de memorie ramâne neschimbată.

Timpul de acces depinde de curentul disponibil şi de rezistenţa de încărcare RC.



**Celula de memorie SRAM NMOS:**

Bistabil realizat cu tranzistoarele M1 şi M3 având ca rezistenţe de sarcină tranzistoarele M2 şi M4. Se folosesc linii SELECT pentru selecţie pe orizontală şi verticală în cadrul matricii de celule de memorie, selecţia fiind făcută prin coincidenţă. Liniile DATA şi ¬DATA sunt folosite pentru realizarea citirii şi scrierii în celula de memorie.

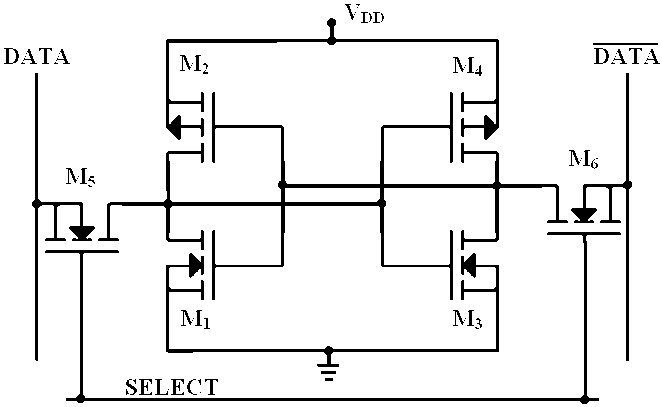
Puterea disipată poate fi redusă prin temporizarea alimentării VGG pentru tranzistoarele de sarcină. Când această tensiune lipseşte, tranzistoarele T2 şi T4, prezentând o impedanţă mare, fac ca informaţia din celulă să fie menţinută pe capacităţile parazite ale tranzistoarelor M1 şi M3.

Caracteristica acestor circuite **dinamice** este necesitatea reîmprospătării informaţiei, datorită descărcării în timp a condensatoarelor. Pentru aceasta, din timp în timp se reconectează VGG, activând tranzistoarele M2 şi M4.

Celula este citită prin emiterea de semnal ridicat pe intrarile SELECT care deschid tranzistoarele M5, M6, M7 si M8 fapt care permite citirea celulei de memorie.

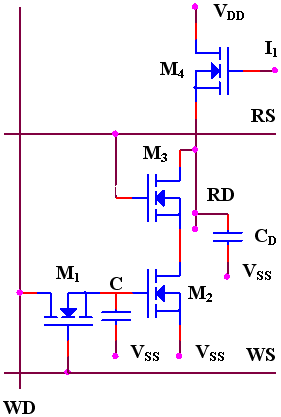
Scrierea este realizată prin emiterea de semnal ridicat pe intrarile SELECT care deschid tranzistoarele M5, M6, M7 si M8 fapt care permite inscrierea celulei de memorie.

**Celula de memorie SRAM CMOS:**

Bistabil realizat cu tranzistoarele M1, M2, M3 şi M4. Se foloseste linia SELECT pentru selecţie. Liniile DATA şi ¬DATA sunt folosite pentru realizarea citirii şi scrierii în celula de memorie.

Celula este citită prin emiterea de semnal ridicat pe intrarea SELECT care deschide tranzistoarele M5 si M6 fapt care permite citirea celulei de memorie.

Scrierea este realizată prin emiterea de semnal ridicat pe intrarea SELECT care deschide tranzistoarele M5 si M6 fapt care permite inscrierea celulei de memorie.



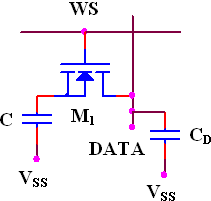
**Celula de memorie DRAM MOS cu trei tranzistori:**

Ciclul de **citire**: iniţial capacitatea CD de pe linia de date citite RD, este preîncărcată la un potenţial aproximativ VDD (prin tranzistorul M4 şi intrarea I); linia de selecţie citire RS, este activată; dacă potenţialul pe capacitatea C a fost iniţial deasupra pragului de conducţie, tranzistoarele M2 şi M3, ce formează o poartă ŞI-NU, vor conduce, descărcând capacitatea CD către potentialul VSS; dacă capacitatea C era iniţial sub pragul de conducţie, atunci potenţialul lui CD rămâne neschimbat; in acest fel, linia RD va obţine informaţia complementară celei memorate de condensatorul C, ea fiind sesizată de un amplificator .

Ciclul de **scriere**: se activeaza linia de selecţie scriere WS, care transferă nivelul logic de pe linia date înscrise WD, pe condensatorul C.

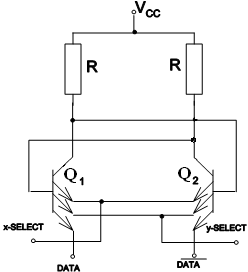
Ciclul de **reîmprospătare**: citirea periodică a conţinutului celulei, amplificarea informaţiei de pe linia RD, complementarea ei şi reînscrierea în celulă.

**Celula de memorie DRAM MOS cu un tranzistor:**

Ciclul de **citire**: după activarea liniei WS (selecţie cuvânt), sarcina de pe condensatorul C modifică potenţialul pe linia DATA, acesta fiind sesizat de un amplificator

Ciclul de **scriere**: în condiţiile activării liniei WS, condensatorul C se va încărca de la potenţialul liniei DATA, prin tranzistorul M1

Operaţia de citire este distructivă, celula trebuind să fie reîncărcată după fiecare ciclu de citire. Aceasta implică timpi adiţionali şi circuite de amplificare suplimentare.

**Organizarea circuitului integrat de memorie:**

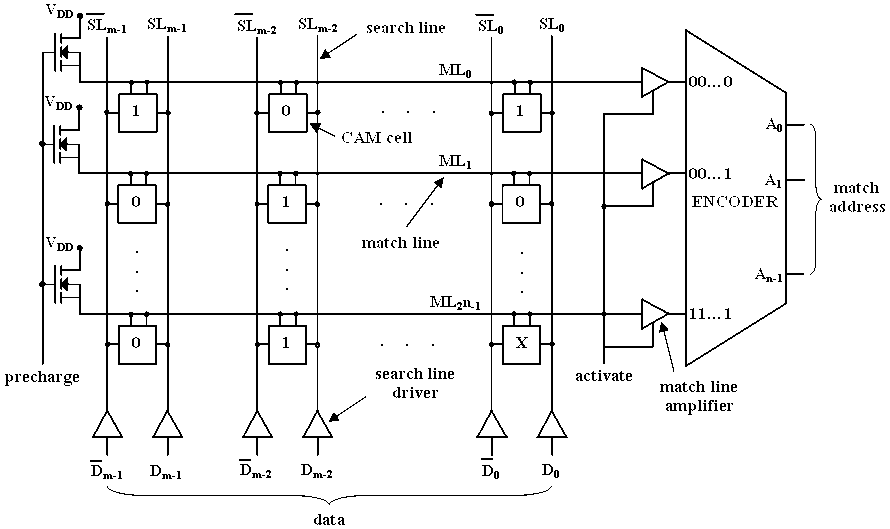
Blocuri funcţionale: circuite de decodificare a adreselor pentru selectarea celulei; uzual se foloseşte adresarea celulei pe baza coincidenţei selecţiei pe orizontală şi verticală în cadrul matricei de celule; o schemă posibilă de implementare a selecţiei în cadrul celulei este prezentata de figura alaturata

* + un semnal de selecţie a circuitului integrat (*chip select*), ce activează circuitele interne de adresare şi de citire/scriere
  + amplificatoare pentru scriere
  + amplificatoare pentru citire
  + circuite tampon pentru ieşiri, de tip open-collector sau cu trei stări, pentru posibilitatea interconectării circuitelor
  + pentru celulele MOS dinamice se prevede suplimentar circuitul de reîmprospatare

Mai multe celule de memorie sunt aranjate într-o matrice, realizând astfel un cip de memorie. Limitările numărului de pini ai circuitului integrat fac ca un circuit integrat să poată conţine multe cuvinte de memorie, dar cuvântul să aibă relativ puţini biţi.

**CAM Introducere**

* dispozitive de cautare hardware; pe liniile de date se introduce cuvantul pentru care se face cautarea, memoria furnizand adresa locatiei care contine cuvantul respectiv
* constructie:
  + memorie RAM
  + circuite de comparare
* aplicabilitate:
  + echipamente pentru retele de calculatoare
  + cache procesoare
  + acceleratoare pentru baze de date
* clasificare:
  + binare (memoreaza si cauta starile ‘0’ si ‘1’)
  + ternare (memoreaza si cauta starile ‘0’, ‘1’ si ‘X’)



2n\*m celule CAM

-Celula CAM contine circuite pentru memorarea si compararea informatiei.

-Liniile search transmit celulelor CAM cuvantul care trebuie comparat.

-Liniile match indica daca s-a gasit sau nu o corespondenta intre cuvantul transmis de liniile search si adresa de memorie corespunzatoare.

Starea logica 1 a liniei match defineste gasirea unei corespondente intre cuvantul care trebuie comparat si locatia respectiva de memorie; lipsa acestei corespondente este reprezentata de starea logica 0

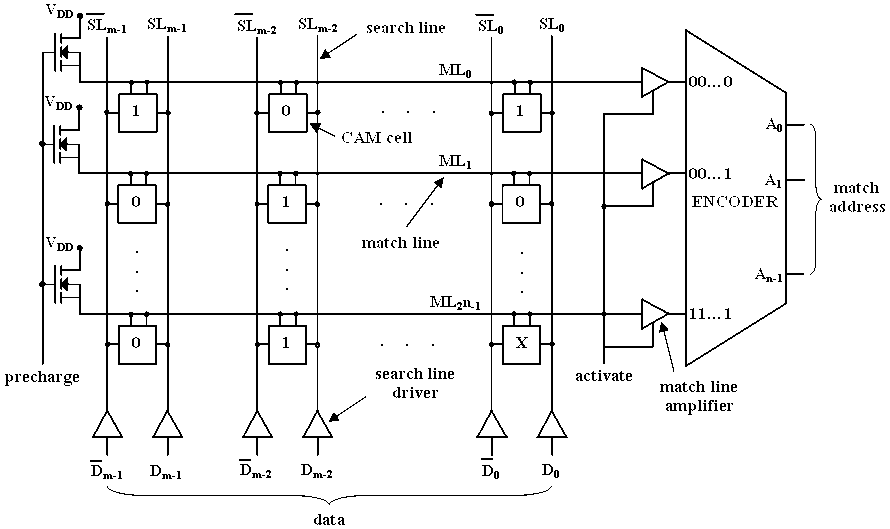
Codificatorul genereaza adresa locatiei de memorie pentru care s-a gasit o corespondenta

Pentru liniile search si match se folosesc drivere si respectiv amplificatoare

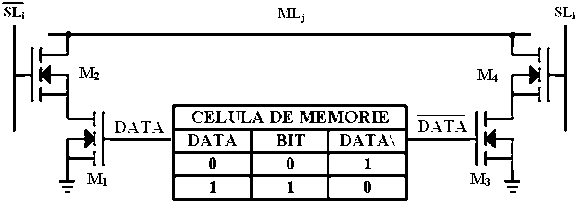
Semnalul precharge seteaza toate liniile match in ‘1’

Semnalul activate permite transmiterea starii liniei la codificator

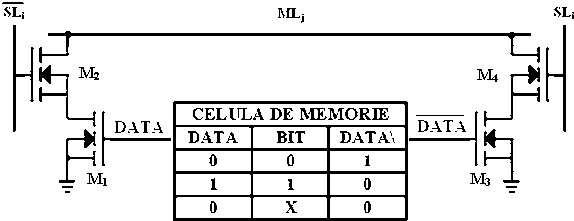
**Operarea CAM:**



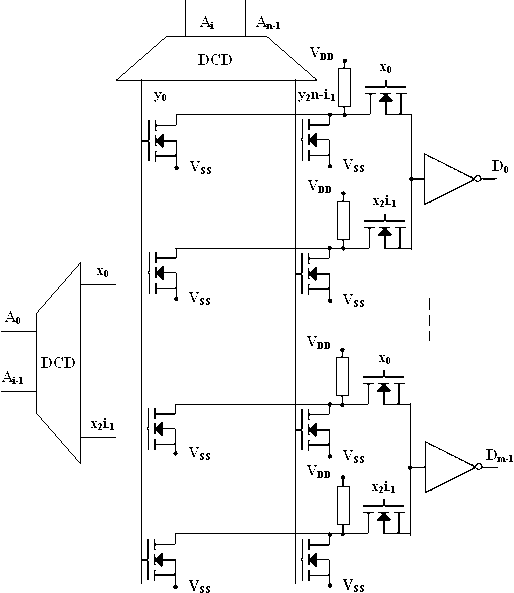
1. Toate liniile match sunt preincarcate la valoarea logica 1prin activarea semnalului precharge care deschide tranzistoarele fapt ce permite incarcarea liniilor match la VDD
2. Driverele liniilor search transmit informatia care trebuie regasita pe liniile search
3. Celulele CAM pentru care exista corespondenta cu informatia aflata pe liniile search sau memoreaza starea X nu vor afecta starea logica a liniilor match; celulele CAM pentru care nu exista corespondenta cu informatia aflata pe liniile search vor comuta liniile match in ‘0’. Astfel, daca un singur bit al unui cuvant memorat este diferit de linia search, linia match va fi in ‘0’; liniile match sunt in ‘1’ doar daca toti bitii cuvantului corespund liniilor search
4. Codificatorul genereaza adresa locatiei de memorie pentru care informatia memorata corespunde informatiei cautate

**Celula de memorie CAM binară:**

* Compusa dintr-o celula de memorie si circuitele pentru compararea informatiei stocate in celula cu informatia transmisa pe liniile de cautare
* Daca DATA=‘0’ si SL=‘0’, M1 si M4 blocate, ML=‘1’
* Daca DATA=’1’ si SL=‘1’, M2 si M3 blocate, ML=‘1’
* Daca DATA=’0’ si SL=‘1’, M3 si M4 conduc, ML=‘0’
* Daca DATA=’1’ si SL=‘0’, M1 si M2 conduc, ML=‘0’
* ML = DATA **XNOR** SL

**Celula de memorie CAM ternară:**

* Celula de memorie contine starea suplimentara X care presupune ca informatia transmisa pe liniile DATA si DATA\ este ‘0’ motiv pentru care M1 si M3 sunt blocate, linia ML fiind ‘1’ indiferent de starea liniilor search

**Memoria ROM realizată cu tranzistoare MOS:**

* constă dintr-o matrice formată din linii şi coloane, ieşiri ale unor decodificatoare de adrese
* liniile matricii de elemente semiconductoare sunt constituite din semiconductoare **p** sau **n**, conectate fie la VSS, sau la un potenţial derivat de la o linie (de la o selecţie pe orizontală)
* coloanele metalizate sunt conectate la o selecţie pe verticală
* la fiecare intersecţie a unei linii cu o coloană, poate fi generată sau nu prin creştere epitaxială o poartă oxid după cum trebuie memorate valori logice ‘1’ sau ‘0’
* ieşirile circuitului sunt un SAU cablat între celulele ce pot fi selectate pentru acel bit de ieşire

**Memorii PROM:**

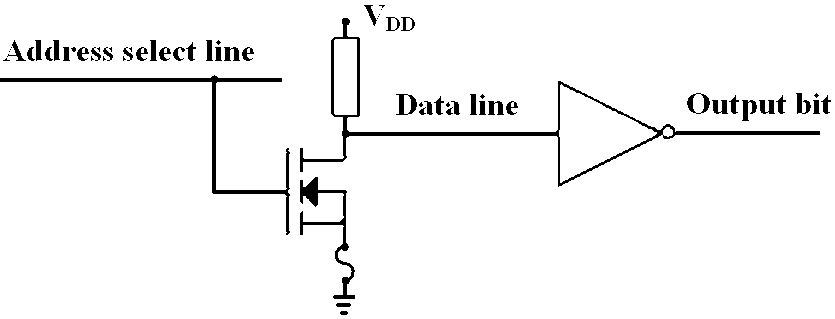
* Există două metode de bază pentru programarea celulelor:
* Fiecare celulă încorporează o legătură metalică (un fuzibil) la unul dintre electrozii săi. În timpul procesului de programare, această legătură poate sau nu să fie străpunsă, prin aplicarea unui impuls ridicat şi de o durată specificată. Linia străpunsă defineşte o stare, cea nestrapunsă o altă stare a celulei de memorare.
* Fiecare celulă din matrice posedă un electrod, nerealizat înaintea programării. În timpul programării, prin intermediul curentului de programare, se generează o migrare indusă în avalanşă, care realizează o cale conductivă către acel electrod, definindu-se astfel o stare pentru realizarea căii conductive, şi alta pentru nerealizarea ei.

**Memorie PROM cu tranzistor bipolar:**



Baza tranzistorului este conectată la linia selectată prin adresare (linia matricii), colectorul la tensiunea de alimentare VCC, iar emitorul este conectat prin intermediul fuzibilului la linia de date (coloană a matricii). Rezistivitatea fuzibilului este controlată prin procesul de dopare, astfel ca la apariţia unui curent de emitor de 25mA, fuzibilul să fie străpuns, formându-se o insulă izolatoare care face imposibilă reconectarea.

Tranzistorul în conducţie implementează informaţia ‘1’, iar tranzistorul în stare blocată reprezintă bitul ‘0’

**Memorie PROM realizată cu tranzistor MOS:**

* poarta este legată la linia de selecţie, drena la tensiunea liniei de date, iar sursa este legată către masă prin intermediul fuzibilului
* tranzistorul în conducţie implementează informaţia ‘1’, iar tranzistorul în stare blocată reprezintă bitul ‘0’

**Memorii REPROM:**

Un exemplu de realizare a celulei de memorie REPROM îl constituie dispozitivul MOS cu stocare de sarcină şi poartă flotantă (*floating-gate avalanche-junction MOS charge-storage device*).

Figura reprezintă simbolul dispozitivului cu canal de tip p, cu poartă flotantă, şi o secţiune transversală a acestui dispozitiv, ce constituie o celulă de memorie REPROM.

Iniţial nu există conexiune către poarta polisiliconică, care este izolată de substrat printr-un strat de oxid.

Dacă din exterior se aplică (o perioadă limitată) un câmp de potenţial ridicat negativ între electrozii drenei şi sursei joncţiunea drenă-substrat va fi puternic polarizată şi se va produce fenomenul de avalanşă, electronii din substratul de bază fiind puternic acceleraţi înspre drena de tip **p**.

O parte din aceşti electroni vor străpunge stratul subţire de oxid ce desparte poarta de substrat, în poartă acumulându-se o sarcină negativă. La oprirea câmpului de polarizare, această sarcină stocată în poartă va rămâne acolo, din cauza stratului izolator. Se crează astfel un strat invers între sursă şi drenă, schimbânda-se astfel regimul de conductanţă între sursă şi drenă. Acumularea de sarcină în poartă semnifică din punct de vedere logic informaţia ‘0’, iar absenţa sarcinii semnifică ‘1’. Scurgerea electronilor din poartă către substrat este foarte lentă, deci memoriile înscrise sunt garantate pentru perioadă lungă de ani.

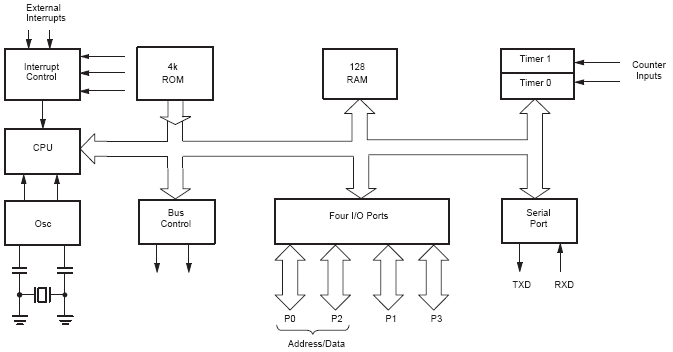
Memoria REPROM cu ştergerea pe bază de raze X, numită UVEPROM. Prin expunerea circuitului integrat la o sursă de ultraviolete (lucru posibil datorită existenţei unei ferestre de cuarţ), se generează un fotocurent ce va descărca poarta flotantă de sarcina negativă acumulată. Numărul de ştergeri este limitat, datorită influenţei radiaţiei asupra structurii cristaline.

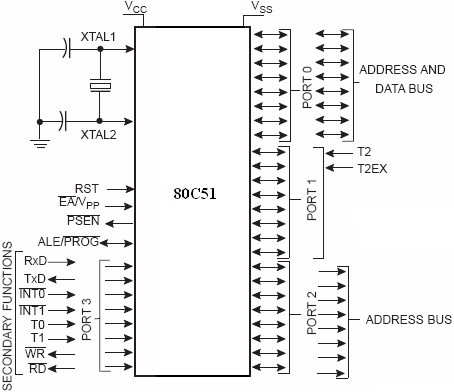
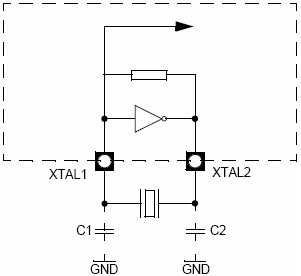
Memoria REPROM cu proces de ştergere electric, numită EEPROM, caracterizată prin adăugarea unui strat metalic (formarea unui electrod, sau formarea celei de-a doua porţi), la suprafaţa stratului de oxid, deasupra porţii flotante. În acest caz, procesul de înscriere se datorează şi aplicării unui potenţial pozitiv la acest electrod, care va face ca rata electronilor ce se acumulează în poarta flotantă să crească. Pentru ştergere, se aplică la acest electrod un potenţial negativ, ce va avea ca efect acumularea în poarta flotantă de goluri care se vor combina cu electronii existenţi, descărcând-o de sarcina negativă.

**Familia de microcontrollere 80C51**

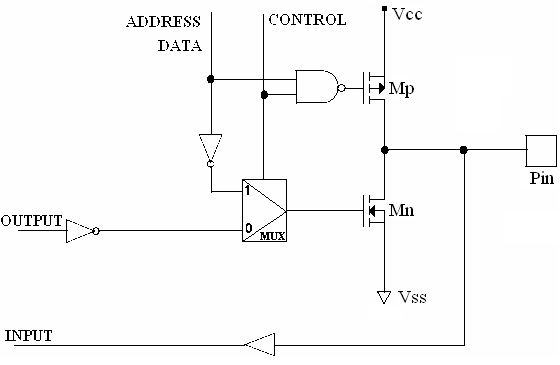
* Caracteristicile familiei de microcontrollere 80C51:
  + Unitate centrala de procesare 8051
    - 4k\*8 ROM
    - 128\*8 RAM
    - 3\*16-biti numărătoare/timere
    - procesor boolean
  + Capabilitate de adresare a memoriei externe
    - 64k\*8 ROM (program)
    - 64k\*8 RAM (data)
  + 6 întreruperi cu 2 nivele de prioritate
  + 4\*8-biti porturi I/O
  + UART full–duplex
  + port asincron de reset

* Circuitele integrate în microcontroller comunica prin intermediul unor magistrale interne pe care se pot vehicula adrese, date sau semnale de control



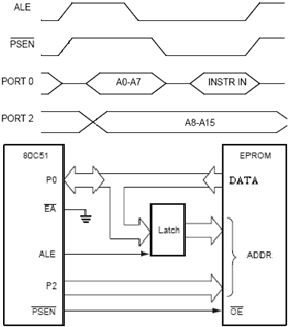
* **Simbolul logic şi descrierea pinilor**
* **VSS**, intrare, masă
* **VCC**, intrare, alimentare
* **P0.0–0.7**, intrare/iesire, port 0, funcţie de port bidirecţional de 8 biti open-drain cu intrari trigger Schmitt; pinii care au 1 inscris sunt flotanţi si pot fi folosiţi ca şi intrări cu inaltă impedanţă; funcţie de magistrală de date şi magistrală de adrese mai puţin semnificativă multiplexate pe perioada accesurilor la memoria externă de date şi program folosind rezistenţe de ridicare interne
* **P1.0–P1.7**, intrare/ieşire, port 1, funcţie de port bidirecţional de 8 biţi cu rezistenţe de ridicare interne şi intrări trigger Schmitt; pinii care au 1 inscris sunt ridicaţi în 1 de către rezistenţele interne de ridicare şi pot fi folositi ca şi intrări; doi pini pot avea şi funcţii alternative
* **T2**, intrare/ieşire, (P1.0), Timer/Numărător 2
* **T2EX**, intrare, (P1.1), Timer/Numarator 2 cu funcţie de captură
* **P2.0–P2.7**, intrare/ieşire, port 2, funcţie de port bidirecţional de 8 biti cu rezistenţe de ridicare interne si intrări trigger Schmitt; pinii care au 1 înscris sunt ridicaţi în 1 de către rezistenţele interne de ridicare şi pot fi folosiţi ca şi intrări; ca şi funcţie alternativă emite octetul mai semnificativ de adresă pe perioada accesului la memoria externă de program şi date
* **P3.0–P3.7**, intrare/ieşire, port 3; funcţie de port bidirecţional de 8 biţi cu rezistenţe de ridicare interne şi intrări trigger Schmitt; pinii care au 1 înscris sunt ridicaţi în 1 de către rezistenţele interne de ridicare şi pot fi folosiţi ca şi intrări; fiecare pin poate avea şi funcţie alternativă
* **RxD**, intrare, (P3.0), portul de intrare serial
* **TxD**, ieşire, (P3.1), portul de ieşire serial
* **INT0\**, intrare, (P3.2), întreruperea externă 0
* **INT1\**, intrare, (P3.3), întreruperea externă 1
* **T0**, intrare, (P3.4), intrarea externă pentru Timer 0
* **T1**, intrare, (P3.5), intrarea externă pentru Timer 1
* **WR\**, ieşire, (P3.6), semnalul de activare a scrierii memoriei de date externe
* **RD\**, ieşire, (P3.7), semnalul de activare a citirii memoriei de date externe
* **RST**, intrare, reset
* **ALE/PROG\**, intrare/ieşire, Address Latch Enable/Program Pulse, pulsul de ieşire ALE este folosit pentru memorarea octetului mai puţin semnificativ de adresă pe perioada unui acces la memoria externă, pinul PROG este intrarea pulsului de program pe perioada programării EPROM-ului
* **PSEN\**, ieşire, Program Store Enable, semnalul de activare a citirii memoriei de program externe
* **EA\ / VPP**, intrare, External Access Enable/Programming Supply Voltage, dacă EA\ este tinut din exterior în 0, microcontrollerul execută întregul cod din memoria de program externă; dacă EA\ este ţinut din exterior în 1, microcontrollerul execută codul aflat la locatiile de memorie 0000H până la 0FFFH din memoria ROM interna; pinul VPP primeşte tensiunea de alimentare pentru programare pe perioada progrămarii EPROM-ului
* **XTAL1**, intrare, Crystal 1, intrarea pentru amplificatorul inversor al oscilatorului şi circuitul generator de tact
* **XTAL2**, ieşire, Crystal 2, ieşirea de la amplificatorul inversor al oscilatorului

**Schema internă a portului 0** :

Semnalul CONTROL comandă multiplexorul astfel încât portul 0 să poată genera adrese sau date sau sa poata fi folosit ca şi port de uz general.

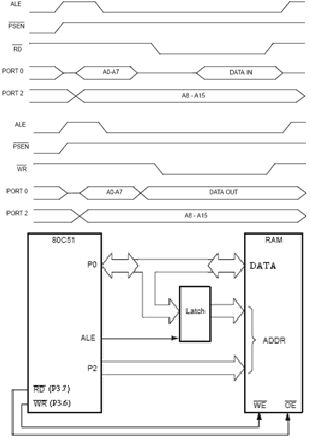
Dacă semnalul CONTROL are valoarea logică 1, portul 0 este folosit pentru magistrala de adrese şi date folosind rezistenţe de ridicare interne. Ieşirea porţii ŞI-NU nu este influenţată de semnalul CONTROL, deci, starea tranzistorului Mp este determinată doar de starea logică a adreselor sau datelor transmise.

Dacă semnalul CONTROL are valoarea logică 0, portul 0 este un port bidirectional open-drain. Ieşirea porţii ŞI-NU este 1, deci, tranzistorul Mp este în starea blocată, determinând configuraţia open-drain a portului. Aşadar, dacă portul este folosit ca şi ieşire, se folosesc rezistenţe de ridicare externe. Dacă portul este folosit ca şi port de intrare, valoarea logică 1 este setată prin program la pin, deci, tranzistorul Mn este în starea blocată şi intrarea este flotantă.

**Adresarea memoriei:**

**Ciclul de citire şi configuraţia memoriei de program externe**

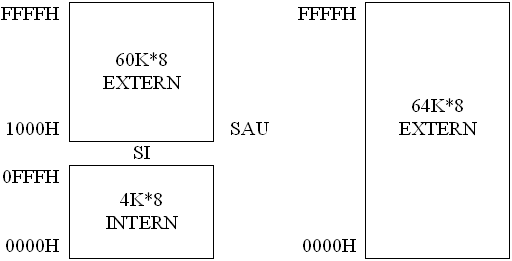
Adresa este transmisă mai întâi prin porturile P0 şi P2 pe magistrala de adrese. A0-A7 sunt memorate în latch la activarea semnalului ALE. Semnalul PSEN\ devine activ şi informaţia din memoria de program este transmisă pe magistrala de date fiind receptionată prin portul P0

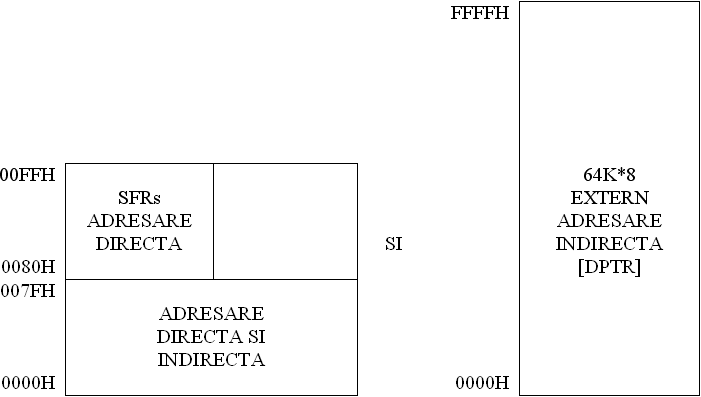
**Ciclii de citire/scriere şi configuratia memoriei de date externe**

Pentru ciclul de citire, adresa este transmisă mai intâi prin porturile P0 şi P2 pe magistrala de adrese. A0-A7 sunt memorate în latch la activarea semnalului ALE. Semnalul RD\ devine activ şi informaţia din memoria de date este transmisă pe magistrala de date fiind recepţionată prin portul P0.

Pentru ciclul de scriere, adresa este transmisă mai intâi prin porturile P0 şi P2 pe magistrala de adrese. A0-A7 sunt memorate în latch la activarea semnalului ALE. Datele sunt transmise prin portul P0 pe magistrala de date şi la activarea semnalului WR\ sunt înscrise în memoria de date.

**Organizarea memoriei** :

Spaţii de adresă separate pentru memoria de program şi date. Memoria de program este o memorie nevolatilă având o lungime de până la 64K\*8. Dacă pinul EA\ este ţinut din exterior în starea logică 1, primele 4K locaţii de memorie sunt accesate din memoria internă a microcontrollerului restul fiind accesate din memoria externă. Dacă pinul EA\ este ţinut din exterior în starea logică 0, toate cele 64K locaţii de memorie sunt accesate din memoria externă.

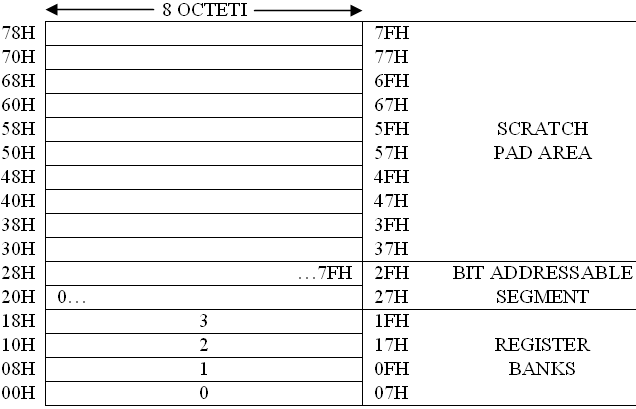
Acceseaza atât de memorie de date internă cât şi externă. Memoria de date internă este de 128\*8 RAM plus un număr de Regiştri cu Funcţiuni Speciale (Special Function Registers SFRs). Cele mai mici 128\*8 adrese RAM pot fi accesate prin adresare directă sau indirectă. Regiştrii cu funcţiuni speciale pot fi accesaţi doar prin adresare directă. Memoria de date externă poate avea o lungime de până la 64K\*8, fiind o memorie de tip RAM.

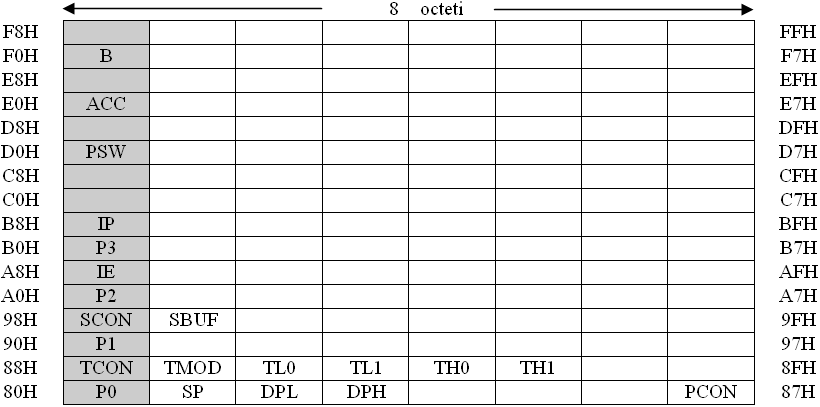
Cele mai mici 128\*8 adrese pot fi impărţite în 3 segmente:

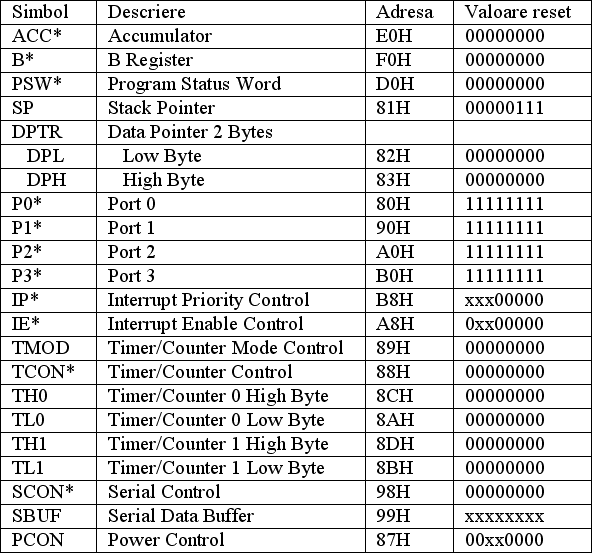
Register Banks 0-3: adresele de la 00H până la 1FH (32 octeţi). Microcontrollerul după reset pointează la register bank 0. Selecţia bancului de regiştri se face prin software. Fiecare register bank conţine 8 regiştri de un octet, 0 până la 7.

Bit Addressable Area: adresele de la 20H până la 2FH (16 octeţi). Fiecare dintre cei 128 biţi pot fi adresaţi direct (00H până la 7FH). Fiecare dintre cei 16 octeţi pot fi adresaţi ca şi octet.

Scratch Pad Area: adresele de la 30H până la 7FH (80 octeţi). Folosiţi pentru RAM de date.



Regiştrii cu funcţiuni speciale marcaţi cu \* sunt adresabili atât pe bit cât şi pe octet. Ceilalţi regiştri sunt adresabili doar pe octet. După reset, fiecare registru este încărcat cu o valoare care nu interferă cu posibile valori utilizator. Regiştrii adresabili atât pe octet cât şi pe bit se află pe prima coloană.

**Sistemul de întreruperi** :

La apariţia unei intreruperi, microcontrollerul suspendă temporar execuţia programului şi execută rutina de tratare a întreruperii care deserveşte întreruperea. După aceea, continuă execuţia programului.

Pentru a executa rutina de tratare a întreruperii microcontrollerul parcurge urmatorii paşi:

-Salvează pe stivă locaţia urmatoarei instructiuni (2 octeţi) şi PSW (2 octeţi).

-Determină sursa de întrerupere (numărul întreruperii). Fiecare sursă de întrerupere are un vector de întrerupere care este încărcat cu o instrucţiune de salt la adresa rutinei de tratare a întreruperii. Adresa vectorului este calculată automat de catre microcontroller. Vectorii de întrerupere (8 octeţi) se află in tabela vectorilor de întrerupere.

-Accesează tabela vectorilor de întrerupere folosind vectorul de întrerupere ca şi index pentru a determina adresa rutinei de tratare a întreruperii.

-Execută rutina de tratare a întreruperii.

-Întreruperea se termină cu instructiunea IRET care încarcă de pe stivă locaţia următoarei instrucţiuni (2 octeţi) şi PSW (2 octeţi)

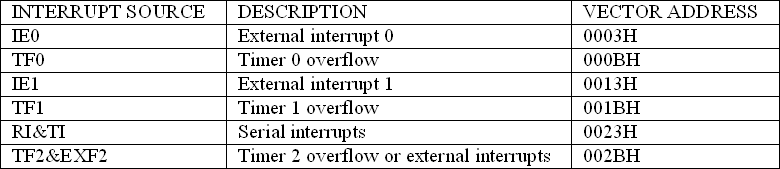
Pentru implementarea întreruperilor, trebuiesc parcurşi următorii paşi:

-Se setază bitul EA din registrul IE la valoarea logică 1. Această setare permite activarea intreruperilor.

-Se seteaza la valoarea logică 1 în registrul IE biţii de activare a întreruperii pentru întreruperile care vor fi folosite.

-Adresa de început a rutinei de tratare a întreruperii va corespunde adresei vectorului întreruperii respective. Fiecare vector va fi încărcat cu o instrucţiune long jump la adresa rutinei de tratare a întreruperii.

-In plus, pentru întreruperile externe, pinii INT0\ (P3.2) şi INT1\ (P3.3) trebuiesc setaţi la valoarea logică 1, şi biţii corespunzatori (IT0 şi IT1) din registrul TCON trebuiesc resetaţi sau setaţi pentru activarea întreruperii pe nivel sau pe front.

Întreruperile microcontrollerelor din familia 80C51

Structura registrului IE:

Adresabil atât pe octet cât şi pe bit. Dacă EA este 0, toate întreruperile sunt dezactivate. Dacă EA este 1, o întrerupere este activată prin setarea bitului corespunzator la 1. Dacă bitul corespunzator este 0 întreruperea este dezactivată. Funcţiile biţilor:

* + EA, IE.7: dacă EA=0, nici o întrerupere nu va fi achitată. Dacă EA=1, fiecare sursă de întrerupere poate fi activată sau dezactivată individual.
  + ET2, IE.5: timer 2 overflow sau întrerupere de captură (doar 8052)
  + ES, IE.4: întrerupere port serial
  + ET1, IE.3: întrerupere Timer 1 overflow
  + EX1, IE.2: întrerupere externă 1
  + ET0, IE.1: întrerupere Timer 0 overflow
  + EX0, IE.0: întrerupere externă 0



Sistemul de priorităţi al întreruperilor:

Două nivele de prioritate. O prioritate mai mare poate întrerupe o prioritate mai mică. O prioritate mai mică nu poate întrerupe o prioritate mai mare. Pentru asignarea unei priorităţi mai mari sau mai mici unei întreruperi bitul corespunzător din registrul IP trebuie setat la 1 sau 0. În acelaşi nivel de prioritate sunt mai multe priorităţi. Priorităţile din acelaşi nivel nu pot fi întrerupte de alte priorităţi din acelasi nivel chiar dacă în interiorul nivelului de prioritate acele priorităţi au un nivel mai mare. Priorităţile în interiorul unui nivel se folosesc doar pentru rezolvarea cererilor simultane ale aceluiaşi nivel de prioritate.

Priorităţile de la mare la mic: IE0, TF0, IE1, TF1, RI sau TI şi TF2 sau EXF2.

Structura registrului IP:

Adresabil atât pe octet cât şi pe bit. Dacă bitul este 0, întreruperea corespunzătoare are o prioritate mai mică. Dacă bitul este 1, întreruperea corespunzatoare are o prioritate mai mare. Funcţiile biţilor:

-PT2, IP.5: nivelul de prioritate al întreruperii Timer 2 (doar 8052)

-PS, IP.4: nivelul de prioritate al întreruperii portului serial

-PT1, IP.3: nivelul de prioritate al întreruperii Timer 1

-PX1,IP.2: nivelul de prioritate al întreruperii externe 1

-PT0, IP.1: nivelul de prioritate al întreruperii Timer 0

-PX0, IP.0: nivelul de prioritate al întreruperii externe 0

**Regiştrii sistemului de timere**:

Structura registrului **TCON**:

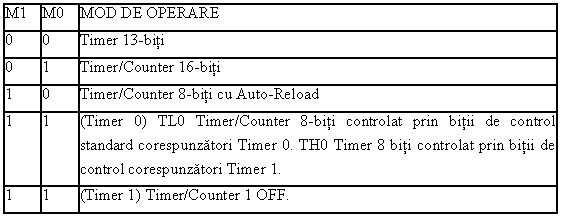
Adresabil atât pe octet cât şi pe bit. Funcţiile biţilor:

* + TF1, TCON.7: Flag Timer 1 overflow. Setat hardware la overflow Timer 1. Şters hardware când procesorul execută rutina de tratare a întreruperii.
  + TR1, TCON.6: Bit de control funcţionare Timer 1. Dacă TR1=1, Timer 1 ON. Dacă TR1=0, Timer 1 OFF.
  + TF0, TCON.5: Flag Timer 0 overflow. Setat hardware la overflow Timer 0. Şters hardware când procesorul execută rutina de tratare a întreruperii.
  + TR0, TCON.4: Bit de control funcţionare Timer 0. Dacă TR0=1, Timer 0 ON. Dacă TR0=0, Timer 0 OFF.
  + IE1, TCON.3: Flag de front întrerupere externă 1. Setat hardware când este detectat frontul la întreruperea externă 1, şters hardware când întreruperea este procesată.
  + IT1, TCON.2: Bit de control tip întrerupere 1. Dacă IT1=1, întreruperea 1 este declanşată de un front căzător. Dacă IT1=0, întreruperea 1 este declanşată de nivelul logic 0.
  + IE0, TCON.1: Flag de front întrerupere externă 0. Setat hardware când este detectat frontul la întreruperea externa 0, şters hardware când întreruperea este procesată.
  + IT0, TCON.0: Bit de control tip întrerupere 0. Dacă IT0=1, întreruperea 0 este declanşată de un front căzător. Dacă IT0=0, întreruperea 0 este declanşată de nivelul logic 0.



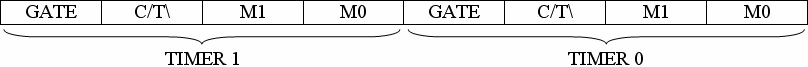
Structura registrului **TMOD:**

Adresabil pe octet. Funcţiile biţilor:

-GATE: Dacă GATE=1, TIMERx va rula doar atât timp cât TRx=1 şi INTx=1 (control hardware). Dacă -GATE=0, TIMERx va rula doar atât timp cât TRx=1 (control software).

-C/T\, Selector Timer sau Counter. Dacă C/T\=0, operare Timer (intrare de la ceasul sistem intern). Dacă C/T\=1, operare Counter (intrare de la pinul de intrare Tx).

-M1: Bit de selectie mod.

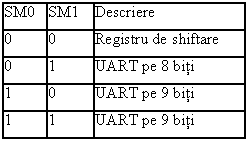
-M0: Bit de selectie mod.

**Comunicaţia serială:**

Structura registrului **SCON:**

Adresabil atât pe octet cât şi pe bit. Funcţiile biţilor:

* + SM0: Bit 0 mod Port Serial (MSB).
  + SM1: Bit 1 mod Port Serial (LSB).
  + SM2: Acivează caracteristica de comunicare multiprocesor în modurile 2 şi 3. În modurile 2 sau 3, dacă SM2=1, RI va fi activat (setat la 1) doar dacă al 9-lea bit de date recepţionat (RB8) este 1. În modul 1, dacă SM2=1, RI va fi activat doar dacă un bit de stop valid a fost recepţionat. În modul 0, SM2=0.
  + REN: Setat/şters prin software pentru a Activa/Dezactiva recepţia.
  + TB8: Al 9-lea bit care va fi transmis în modurile 2 şi 3.
  + RB8: În modurile 2 şi 3, este al 9-lea bit de date recepţionat. În modul 1, dacă SM2=0, RB8 este bitul de stop recepţionat. În modul 0, RB8 nu este folosit.
  + TI: Flag de întrerupere la transmisie. Setat prin hardware. Trebuie şters prin software.
  + RI: Flag de întrerupere la recepţie. Setat prin hardware. Trebuie şters prin software.





În **modul 0** portul serial comunică la rata baud fixă.

* Rata Baud = Osc Freq/12
* Pentru configurarea acestui mod trebuie definit doar registrul SCON. Nu este necesară setarea unui Timer/Counter.
* În acest mod portul de comportă ca şi un registru de shiftare de opt biţi transmiţând si recepţionând date la rata baud. Datele sunt transmise cu LSB primul bit si intră şi ies din UART prin pinul RXD. În consecinţă acest mod nu suportă comunicaţia full duplex. Transmisia începe când registrul SBUF este încărcat cu date. Octetul este transmis şi bitul TI este setat când transmisia este completă. Recepţia incepe când bitul REN din registrul SCON este setat. Bitul RI este setat când octetul este recepţionat.

În **modul 1** rata baud este variabilă fiind generată de Timer 1 care este folosit în modul 2 (Auto-Reload).

* Rata Baud = (K \* Osc Freq)/{32 \* 12 \* [256 - (TH1)]}
* Bitul SMOD din registrul PCON determină valoarea parametrului K. Dacă SMOD = 0, K = 1, dacă SMOD = 1, K = 2.
* TH1 = 256 – (K \* Osc Freq) / (384 \* Rata Baud)
* Formatul cadrului: 1 bit de start, 8 biţi de date, 1 bit de stop.
* Semnalele de întrerupere TI şi RI sunt activate atunci când un cadru a fost transmis sau recepţionat.

In **modul 2** portul serial comunică la rata baud fixă.

* SMOD = 1, Rata Baud = 1/32\*Osc Freq.
* SMOD = 0, Rata Baud = 1/64\*Osc Freq.
* Pentru configurarea acestui mod trebuie definit doar registrul SCON. Nu este necesară setarea unui Timer/Counter.
* Formatul cadrului: 1 bit de start, 8 biţi de date, al 9-lea (stick) bit, şi 1 bit de stop. Valoarea celui de-al 9-lea bit este determinată de bitul TB8 la transmiţător şi este recepţionată în bitul RB8. Acest bit este folosit pentru comunicaţii interprocesor. UART-ul poate fi iniţializat prin setarea bitului SM2 să genereze o întrerupere la recepţie doar atunci când bitul al 9-lea este setat. Un octet de adresă sau comandă poate fi transmis cu al 9-lea bit setat. Toate procesoarele sunt întrerupte şi bitul recepţionat este procesat pentru a se vedea dacă este necesară recepţionarea mesajului. Daca microcontrollerul trebuie să recepţioneze mesajul, bitul SM2 este şters si restul mesajului este recepţionat. Dacă microcontrollerul nu trebuie sa recepţioneze mesajul, bitul SM2 este lăsat setat şi mesajul nu va genera o întrerupere.

**Modul 3** este similar modului 2 în termenii formatului cadrului şi folosirii celui de-al 9-lea bit. Ratele baud sunt similare modului 1.